

## **SOLID STATE IMAGE PICKUP DEVICE**

Patent Number: JP6217206  
Publication date: 1994-08-05  
Inventor(s): OISHI YASUHIRO  
Applicant(s):: OLYMPUS OPTICAL CO LTD  
Requested Patent: JP6217206  
Application Number: JP19930023540 19930120  
Priority Number(s):  
IPC Classification: H04N5/335  
EC Classification:  
Equivalents:

---

### **Abstract**

---

**PURPOSE:** To provide the solid state image pickup device which can obtain an output signal having no signal output disabled period and comply with a request for a high frame rate.  
**CONSTITUTION:** A pixel array area and a vertical scanning circuit are each divided vertically into two; and two horizontal scanning circuits 4A and 4B are provided corresponding to the two divided pixel array areas 2A and 2B to drive the two divided pixel array areas 2A and 2B independently of each other. Then two output signal lines 6A and 6B for reading pixel signals out of the two divided pixel array areas 2A and 2B independently of each other and a signal mixing circuit 7 which converts the signal outputs A and B of two systems read out of the two output signal lines 6A and 6B into the signal output C of one system are provided to constitute the XY address type solid state image pickup device.

---

Data supplied from the esp@cenet database - I2

**THIS PAGE BLANK (USPTO)**

---

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-217206

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl.<sup>5</sup>

H 0 4 N 5/335

識別記号

庁内整理番号

F I

技術表示箇所

P

審査請求 未請求 請求項の数 6 F D (全 11 頁)

(21)出願番号 特願平5-23540

(22)出願日 平成5年(1993)1月20日

(71)出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者 大石 泰広

東京都渋谷区幡ヶ谷2丁目43番2号 オリ  
ンパス光学工業株式会社内

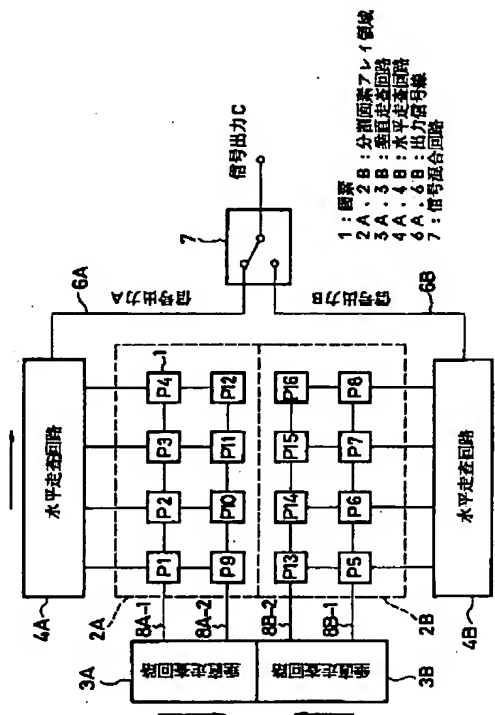
(74)代理人 弁理士 最上 健治

#### (54)【発明の名称】 固体撮像装置

#### (57)【要約】

【目的】 信号出力不可期間のない出力信号を得ることができ、高フレームレートの要求にも対応できるようにした固体撮像装置を提供する。

【構成】 画素アレイ領域と垂直走査回路とを垂直方向に2分割し、分割された2つの画素アレイ領域2A、2Bにそれぞれ対応する2つの水平走査回路4A、4Bを設けて、分割された2つの画素アレイ領域2A、2Bを独立に駆動可能に構成し、また分割された2つの画素アレイ領域2A、2Bの画素信号をそれぞれ独立に読み出すための2本の出力信号線6A、6Bと、該2本の出力信号線6A、6Bから読み出される2系統の信号出力A、Bを1系統の信号出力Cに変換するための信号混合回路7とを設けてXYアドレス型固体撮像装置を構成する。



## 【特許請求の範囲】

【請求項1】 2次元に配列された光電変換素子アレイと、光電変換素子アレイの行選択を行うための垂直走査手段と、光電変換素子アレイの列選択を行うための水平走査手段とを有するXYアドレス型固体撮像装置において、光電変換素子アレイと垂直走査手段とを垂直方向に2分割し、分割された2つの光電変換素子アレイ領域にそれぞれ対応する2つの水平走査手段を設けて、分割された2つの光電変換素子アレイ領域を独立に駆動可能に構成すると共に、分割された2つの光電変換素子アレイ領域の信号をそれぞれ独立に読み出すための2本の出力信号線と、2本の出力信号線から読み出される2系統の信号を1系統の信号に変換するための信号混合手段とを備えていることを特徴とするXYアドレス型固体撮像装置。

【請求項2】 前記分割された2つの光電変換素子アレイ領域に対応する2系統の駆動クロックを1系統の外部入力クロックから発生させるためのクロック制御回路を、前記光電変換素子アレイと同一基板上に備えていることを特徴とする請求項1記載のXYアドレス型固体撮像装置。

【請求項3】 2次元に配列された光電変換素子アレイと、光電変換素子アレイで発生した電荷の垂直転送用CCDと、水平転送用CCDと、電荷検出アンプとを有するCCD固体撮像装置において、光電変換素子アレイと垂直転送用CCDとを垂直方向に2つの領域に分割し、分割された2つの領域にそれぞれ対応する2つの水平転送用CCDを設けて、分割された2つの領域を独立に駆動可能に構成すると共に、分割された2つの領域の信号をそれぞれ独立に読み出すための2つの電荷検出アンプと、2つの電荷検出アンプから読み出される2系統の信号を1系統の信号に変換するための信号混合手段とを備えていることを特徴とするCCD固体撮像装置。

【請求項4】 2次元に配列された光電変換素子アレイと、光電変換素子アレイの行選択を行うための垂直走査手段と、光電変換素子アレイの列選択を行うための水平走査手段とを有するXYアドレス型固体撮像装置において、光電変換素子アレイと垂直走査手段とを垂直方向に2分割すると共に、光電変換素子アレイを水平方向にN ( $N \geq 2$ ) 分割し、分割された $2 \times N$ 個の光電変換素子アレイ領域にそれぞれ対応して $2 \times N$ の水平走査手段を設けて、分割された $2 \times N$ 個の光電変換素子アレイ領域を独立に駆動可能に構成し、且つ分割された $2 \times N$ 個の光電変換素子アレイ領域の信号をそれぞれ独立に読み出すための $2 \times N$ 本の出力信号線と、該 $2 \times N$ 本の出力信号線から読み出される $2 \times N$ 系統の信号をN系統の信号に変換するためのN個の信号混合手段とを備えていることを特徴とするXYアドレス型固体撮像装置。

【請求項5】 前記分割された $2 \times N$  ( $N \geq 2$ ) 個の光電変換素子アレイ領域に対応する $2 \times N$ 系統の駆動クロ

ックを1系統の外部入力クロックから発生させるためのクロック制御回路を、前記光電変換素子アレイと同一基板上に備えていることを特徴とする請求項4記載のXYアドレス型固体撮像装置。

【請求項6】 2次元に配列された光電変換素子アレイと、光電変換素子アレイで発生した電荷の垂直転送用CCDと、水平転送用CCDと、電荷検出アンプとを有するCCD固体撮像装置において、光電変換素子アレイと垂直転送用CCDとを垂直方向に2分割すると共に水平方向にN ( $N \geq 2$ ) 分割し、分割された $2 \times N$ 個の領域にそれぞれ対応して $2 \times N$ 個の水平転送用CCDを設けて、分割された $2 \times N$ 個の領域を独立に駆動可能に構成し、且つ分割された $2 \times N$ 個の領域の信号をそれぞれ独立に読み出すための $2 \times N$ 個の電荷検出アンプと、 $2 \times N$ 個の電荷検出アンプから読み出される $2 \times N$ 系統の信号をN系統の信号に変換するためのN個の信号混合手段とを備えていることを特徴とするCCD固体撮像装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、CMD (Charge Modulation Device) などを画素として用いたXYアドレス型固体撮像装置や、CCDを電荷転送手段として用いたCCD固体撮像装置等の固体撮像装置に関する。

## 【0002】

【従来の技術】 一般にイメージセンサはNTSC規格に従って動作する場合、水平ブランキング期間において、有効な画像信号の出力こそしていないものの、イメージセンサの構成上必要な何らかの動作を行っている。例えば、CCD固体撮像装置においては信号電荷の垂直転送などを行っている。またCMD固体撮像装置の場合は、テレビジョン学会技術報告「1インチ200万画素CMDイメージセンサ」(緒方ほか、1992. 2)に解説されているように、垂直走査回路による行シフト動作が行われている。

【0003】 次に、この点を、CMD固体撮像装置の場合について更に具体的に説明する。図8の(A)にCMD固体撮像装置の基本ブロック構成図を、図8の(B)に一画素部分の回路構成図を、図9に駆動パルスのタイミング図を示す。CMD固体撮像装置は図8に示されているようなXYアドレス型の構成を持つ。すなわち、CMDからなる画素1を2次元に配列してセンサアレイ2を構成し、センサアレイ2の行選択は垂直走査回路3によって行われ、列選択は水平走査回路4によって行われる。また行シフト及び列シフトは両走査回路3、4が内蔵するシフトレジスタにより行われる。有効信号期間に水平走査回路4による列シフトが行われ、水平ブランキング期間に垂直走査回路3による行シフトが行われる。垂直走査回路3は、行方向に配列されたCMD画素1の共通に接続されたゲート電極に与える電位の制御を、図9のタイミング図に示すように行う。

【0004】すなわち、有効信号期間は、選択行に対して読み出し電位 $V_{RD}$ を、非選択行に対しては蓄積電位 $V_{AC}$ を与える。水平ブランキング期間には、選択行に対してリセット電位 $V_{RS}$ を、非選択行に対してはオーバーフロー電位 $V_{OF}$ を与える。読み出し電位 $V_{RD}$ を与えられた画素群はオン状態となり、蓄積電位 $V_{AC}$ を与えられた画素群はオフ状態となる。リセット電位 $V_{RS}$ を与えられた画素群は蓄積電荷の初期化（リセット動作）を行い、オーバーフロー電位 $V_{OF}$ を与えられた画素群は飽和電荷数以上の過剰電荷の掃き捨て（オーバーフロー動作）を行う。水平走査回路4は、CMD画素1のソース電極が共通に接続された列ライン5-1〜5-nと出力信号線6を繋ぐ選択スイッチの開閉を制御する。シフトレジスタによる列シフトに従って順次列ラインを出力信号線6に繋いでいく。以上のように、水平ブランキング期間には垂直走査回路3による行シフト動作に伴って、リセット動作、オーバーフロー動作という機構上必要不可欠な動作を行っている。

#### 【0005】

【発明が解決しようとする課題】上記のように、イメージセンサの種類を問わず、水平ブランキング期間に何らかの必要不可欠な動作を実行しているということは、逆に言えば有効な画像信号を絶対に出力できない期間が存在することになる。通常のビデオカメラとは異なる用途へイメージセンサを適用する場合に、この信号出力不可期間の存在が問題となることがある。

【0006】イメージセンサの産業応用の実情をみると、NTSC規格にとどまらない幅広い用途への応用が数多く行われている。そのような特殊用途に対しては、イメージセンサとして要求される項目も多種多様である。その中の1つとして高フレームレートをイメージセンサに要求する、高速現象撮影カメラシステムに代表される応用分野がある。この分野では、毎秒数百フレーム以上のフレームレートが要求され、NTSC規格の毎秒30フレームと比べると、はるかに高いデータレートが必要とされる。この要求を満たすことを考える際に、上述の信号出力不可期間の存在が大きな問題となってくる。

【0007】フレームレートを高めるためには、まず有効信号期間の画素情報の読み出しスピードを上げる必要があり、更には有効信号が出力されぬような無駄な時間がないことが望ましい。この無駄な時間というのが、まさに上述の信号出力不可期間にあたる。しかしながら信号出力不可期間に実行される動作は機構上不可欠なものであり、フレームレートの向上を大きく阻害する要因であるにもかかわらず、一定の時間を配分せざるをえないというのが現状である。このように信号出力不可期間の存在は、高速現象撮影カメラシステムのような高いフレームレートが要求される用途へのイメージセンサ応用の際に、大きな障害となっている。

【0008】この発明は、従来のイメージセンサにお

る上記問題点を解消するためになされるもので、信号出力不可期間のない出力信号を得ることができ、高フレームレートの要求にも対応できるようにした固体撮像装置を提供することを目的とする。

#### 【0009】

【課題を解決するための手段及び作用】上記問題点を解決するため、本発明は、2次元に配列された光電変換素子アレイと、光電変換素子アレイの行選択を行うための垂直走査手段と、光電変換素子アレイの列選択を行うための水平走査手段とを有するXYアドレス型固体撮像装置において、光電変換素子アレイと垂直走査手段とを垂直方向に2分割し、分割された2つの光電変換素子アレイ領域にそれぞれ対応する2つの水平走査手段を設けて、分割された2つの光電変換素子アレイ領域を独立に駆動可能に構成すると共に、分割された2つの光電変換素子アレイ領域の信号をそれぞれ独立に読み出すための2本の出力信号線と、2本の出力信号線から読み出される2系統の信号を1系統の信号に変換するための信号混合手段とを設けて構成するものである。

【0010】このように、光電変換素子アレイと垂直走査手段を垂直方向に2分割し、それぞれの領域に対して別々の水平走査手段と出力信号線を設けることにより、一方の領域が信号出力不可期間に行うべき動作を実行し始めるタイミングで、他方の領域において有効信号の読み出しを開始するような駆動を行うことができ、したがって常にいずれかの領域において有効信号が出力されていることになり、スイッチングにより有効信号のみを外部出力信号とすることによって、信号出力不可期間のない出力信号を得ることができる。

#### 【0011】

【実施例】次に実施例について説明する。図1は、本発明に係る固体撮像装置の第1実施例を示すブロック構成図である。この実施例は、本発明をCMD固体撮像装置に適用したもので、図1においては、説明を簡単にするため水平画素数、垂直画素数とも4であるエリアセンサを想定し、CMD画素1にはP1からP16までの番号を付して示している。この実施例のCMD固体撮像装置は、図8に示した従来例と同様に、画素アレイ領域、水平走査回路、垂直走査回路により構成される。しかしながら、画素アレイ領域は分割画素アレイ領域2A、2Bに、垂直走査回路は垂直走査回路3A、3Bに、いずれも垂直方向に2分割され、また2つの水平走査回路4A、4Bが各分割画素アレイ領域2A、2Bに対応して設けられている点、更に2つの水平走査回路4A、4Bに対応する2つの出力信号線6A、6Bと、その2つの出力信号線6A、6Bの信号出力A、Bを1つの信号出力Cとするための信号混合回路7を有する点が従来例と大きく異なっている。信号混合回路7は2つの信号出力A、Bを所望のタイミングで切り換えて出力するためのスイッチによって構成される。なお各走査回路の走査方

向は図中の矢印により示している。

【0012】次にこの実施例の具体的な動作について説明する。図2は、画素アレイ領域の行方向に配列された各画素のゲートに共通に接続された垂直選択線8A-1、8A-2、8B-1、8B-2に印加される駆動パルスを示し、図3は各信号出力A、B、Cのタイミング図を示す。時刻 $t_1$ において、画素アレイ領域2Aの垂直選択線8A-1に接続された第1行に読み出し電位 $V_{RD}$ が与えられ、データの読み出しが開始され、出力信号線6Aの信号出力Aとして画素P1、P2、P3、P4のデータが順次出力される。時刻 $t_2$ において、垂直走査回路3Aの行シフト動作が行われ、第1行に対してリセット電位 $V_{RS}$ が与えられリセット動作が、垂直選択線8A-2に接続された第2行に対してオーバーフロー電位 $V_{OF}$ が与えられオーバーフロー動作が実行される。同時に画素アレイ領域2Bでは垂直選択線8B-1に接続された第1行のデータの読み出しが開始され、出力信号線6Bの信号出力Bとして画素P5、P6、P7、P8のデータが順次出力される。

【0013】時刻 $t_3$ では、画素アレイ領域2Bにおいて垂直走査回路3Bの行シフト動作と、第1行に対するリセット動作と、垂直選択線8B-2に接続された第2行に対するオーバーフロー動作が行われる。同時に画素アレイ領域2Aにおいて第2行のデータの読み出しが開始され、出力信号線6Aの信号出力Aとして画素P9、P10、P11、P12のデータが順次出力される。時刻 $t_4$ では、画素アレイ領域2Aにおいて垂直走査回路3Aの行シフト動作と第2行に対するリセット動作と第1行に対するオーバーフロー動作が行われる。同時に画素アレイ領域2Bにおいて第2行のデータの読み出しが開始され、出力信号線6Bの信号出力Bとして画素P13、P14、P15、P16のデータが順次出力される。時刻 $t_5$ では画素アレイ領域2Bにおいて垂直走査回路3Bの行シフト動作と第2行に対するリセット動作と第1行に対するオーバーフロー動作が行われる。同時に画素アレイ領域2Aにおいて第1行のデータの読み出しが開始される。以降は上記動作が繰り返し行われる。

【0014】信号混合回路7において、各出力信号線6A、6Bの信号出力A、Bの切り換え混合後の信号出力Cを出力するタイミングは、図3に示すとおりである。なお図3において、斜線部分は信号出力不可期間を示している。時刻 $t_1$ より時刻 $t_2$ まで、及び時刻 $t_3$ より時刻 $t_4$ までにおいては、信号出力Aを信号出力Cとする。時刻 $t_2$ より時刻 $t_3$ まで、及び時刻 $t_4$ より時刻 $t_5$ までにおいては、信号出力Bを信号出力Cとする。図3からわかるように、この場合の信号出力Cは画素P1からP16までのデータが連続したものとなる。すなわち、信号出力Cには有効な信号出力がされない無駄な時間が存在しない。つまり信号出力不可期間が存在しないことになる。

【0015】このように画素アレイ領域を垂直方向に2分割して、それぞれの分割画素アレイ領域を異なったタイミングで動作させることにより、信号出力不可期間を無くすることができる。図1に示した実施例では、 $4 \times 4$ の小規模エリアセンサの例を示したが、本実施例の原理はセンサ規模にはよらない。また本実施例では信号混合回路を画素アレイ領域と同一基板上に設ける場合を想定しているが、これは同一基板外に設けても構わない。また各走査回路の走査方向は本実施例に示した限りでなく、自由に設定可能である。また本実施例では本発明をCMD固体撮像装置に適用したものを示したが、CMD固体撮像装置と同様に、2次元に配列された光電変換素子からなる撮像領域と水平、垂直の走査回路により構成されるXYアドレス型のイメージセンサであれば、本実施例の原理は等しく適用可能である。またそれぞれの分割画素アレイ領域で異なるタイミングの2系統の駆動パルスが必要となるが、1系統の外部入力クロックから2系統の駆動クロックを発生させるためのクロック制御回路を、同一基板上に設けることにより、外部駆動上の複雑さは容易に回避することができる。

【0016】次に第2の実施例を図4に基づいて説明する。この実施例は、本発明をCCD固体撮像装置に適用したもので、この実施例においても、説明を簡単にするため水平画素数、垂直画素数とも4であるインターライン型エリアセンサを想定し、光電変換素子からなる画素11にはP1からP16までの番号を付して示している。この実施例のCCD固体撮像装置は、画素アレイ領域、水平転送用CCD、垂直転送用CCDより構成される。この実施例においても第1実施例と同様に、画素アレイ領域及び垂直転送用CCDを、垂直方向に2つの領域12A、12Bに分割しているのが特徴であり、また分割垂直転送用CCD13A、13Bに対応して2つの水平転送用CCD14A、14Bが設けられている。またこの実施例は、2つの水平転送用CCD14A、14Bに対応する2つの電荷検出アンプ15A、15Bと、その2つの電荷検出アンプ15A、15Bから出力信号線16A、16Bを介して出力される信号出力A、Bを所望のタイミングで切り換えて信号出力Cとして出力するための信号混合回路17とを備えている。

【0017】本実施例における動作タイミングは、第1実施例と同等であるので、図3を利用してこの実施例の具体的な動作を説明する。時刻 $t_0$ において全画素から各垂直転送用CCD13A、13Bに全領域一斉に電荷の転送が行われた後、分割領域12Aにおいて垂直転送用CCD13Aから水平転送用CCD14Aに分割領域12Aの画素アレイの第1行のデータの電荷が転送され、分割領域12Bにおいても垂直転送用CCD13Bから水平転送用CCD14Bに分割領域12Bの画素アレイの第1行のデータの電荷が転送される。時刻 $t_1$ において、水平転送用CCD14Aに転送済みの分割領域12Aの第1行のデータの読

み出しが開始され、電荷検出アンプ15Aを介して出力信号線16Aの信号出力Aとして画素P1, P2, P3, P4のデータが順次出力される。時刻 $t_2$ では、分割領域12Aにおいて垂直転送用CCD13Aから水平転送用CCD14Aに第2行のデータの電荷が転送される。同時に分割領域12Bにおいて水平転送用CCD14Bに転送済みの分割領域12Bの第1行のデータの読み出しが開始され、電荷検出アンプ15を介して出力信号線16Bの信号出力Bとして画素P5, P6, P7, P8のデータが順次出力される。

【0018】時刻 $t_3$ では、分割領域12Bにおいて垂直転送用CCD13Bから水平転送用CCD14Bに第2行のデータの電荷が転送される。同時に分割領域12Aにおいて水平転送用CCD14Aに転送済みの分割領域12Aの第2行のデータの読み出しが開始され、出力信号線16Aの信号出力Aとして画素P9, P10, P11, P12のデータが順次出力される。時刻 $t_4$ では、再び全画素から各垂直転送用CCD13A, 13Bに全領域一斉に電荷の転送が行われた後、分割領域12Aにおいて垂直転送用CCD13Aから水平転送用CCD14Aに第1行のデータの電荷が転送される。同時に分割領域12Bにおいて水平転送用CCD14Bに転送済みの分割領域12Bの第2行のデータの読み出しが開始され、出力信号線16Bの信号出力Bとして画素P13, P14, P15, P16のデータが順次出力される。時刻 $t_5$ 以降は上記動作が繰り返し行われる。

【0019】信号混合回路17における信号出力A, Bの切り換えは、第1実施例と同様に行われる。時刻 $t_1$ より時刻 $t_2$ まで、及び時刻 $t_3$ より時刻 $t_4$ までにおいては、信号出力Aを信号出力Cとする。時刻 $t_2$ より時刻 $t_3$ まで、及び時刻 $t_4$ より時刻 $t_5$ までにおいては、信号出力Bを信号出力Cとする。この場合の信号出力Cも、第1実施例と同様に画素P1からP16までのデータが連続したものとなり、有効な信号出力がされない無駄な時間が存在しない。

【0020】このようにCCD固体撮像装置についても、本発明を適用することができる。この第2実施例においても、 $4 \times 4$ の小規模エリアセンサの例を示したが、センサ規模に関係なく同様の構成とすることができる。また本実施例ではインターライン型のCCD固体撮像装置の例で説明したが、フレーム転送型やフレームインターライン型等に対しても全く同様に適用することができる。また本実施例では、信号混合回路を画素と同一基板内に設ける場合を想定して説明したが、これは画素基板外に設けても構わない。

【0021】次に第3の実施例を図5に基づいて説明する。この実施例は、図1に示した第1実施例のCMD固体撮像装置の出力を複線化して出力するように構成したものである。この実施例においても、説明を簡単にするため水平画素数、垂直画素数とも4であるエリアセンサを想定し、画素1にはP1からP16までの番号を付して

示している。第1実施例と異なる点は、画素アレイ領域及び水平走査回路を水平方向に更に2分割し、4つの分割画素アレイ領域2A-1, 2A-2, 2B-1, 2B-2に対応する4本の水平走査回路4A-1, 4A-2, 4B-1, 4B-2を設け、また4つの水平走査回路に対応する4本の出力信号線6A-1, 6A-2, 6B-1, 6B-2と2個の信号混合回路7-1, 7-2を設けた点である。なお各走査回路の走査方向は図中の矢印により示している。

【0022】次に図6を用いて、本実施例における動作タイミングを説明する。時刻 $t_1$ において、画素アレイ領域2A-1, 2A-2の第1行のデータの読み出しが開始される。出力信号線6A-1の信号出力A1として画素P1, P2のデータが、出力信号線6A-2の信号出力A2として画素P3, P4のデータが順次出力される。時刻 $t_2$ では、画素アレイ領域2A-1, 2A-2において垂直走査回路3Aによる行シフト動作が行われ、第1行に対してリセット動作が、第2行に対してオーバーフロー動作が実行される。同時に画素アレイ領域2B-1, 2B-2では第1行のデータの読み出しが開始され、出力信号線6B-1の信号出力B1として画素P5, P6のデータが、出力信号線6B-2の信号出力B2として画素P7, P8のデータが順次出力される。時刻 $t_3$ では、画素アレイ領域2B-1, 2B-2において垂直走査回路3Bによる行シフト動作と第1行に対するリセット動作と第2行に対するオーバーフロー動作が行われる。同時に画素アレイ領域2A-1, 2A-2において第2行のデータの読み出しが開始され、信号出力A1として画素P9, P10のデータが、信号出力A2として画素P11, P12のデータが順次出力される。

【0023】時刻 $t_4$ では、画素アレイ領域2A-1, 2A-2において垂直走査回路3Aによる行シフト動作と第2行に対するリセット動作と第1行に対するオーバーフロー動作が行われる。同時に画素アレイ領域2B-1, 2B-2において第2行のデータの読み出しが開始され、信号出力B1として画素P13, P14のデータが、信号出力B2として画素P15, P16のデータが順次出力される。時刻 $t_5$ では画素アレイ領域2B-1, 2B-2において垂直走査回路3Bによる行シフト動作と第2行に対するリセット動作と第1行に対するオーバーフロー動作が行われる。同時に画素アレイ領域2A-1, 2A-2において第1行のデータの読み出しが開始される。以降は上記動作が繰り返し行われる。

【0024】信号混合回路7-1, 7-2における信号出力A1, B1及びA2, B2の切り換えタイミングは、次の通りである。なお混合後の信号出力を図5に示すように信号出力C1, C2と呼ぶことにする。時刻 $t_1$ より時刻 $t_2$ まで、及び時刻 $t_3$ より時刻 $t_4$ までにおいては、信号出力A1を信号出力C1とし、信号出力A2を信号出力C2とする。時刻 $t_2$ より時刻 $t_3$ まで、及び時刻 $t_4$ より時刻 $t_5$ までにおいては、信号出力B1を



信号出力C 1とし、信号出力B 2を信号出力C 2とする。図6からわかるように、この場合の信号出力C 1、C 2ともに有効データが連続して現れ、有効な信号出力がされない無駄な時間が存在しない。つまり信号出力不可期間が存在しないことになる。このように本発明は複線出力の固体撮像装置にも適用可能である。

【0025】なお本実施例では、出力信号線が2本の場合を示したが、3本以上の場合においても全く同様に、すなわち画素アレイ領域及び水平走査回路を水平方向にN分割( $N \geq 3$ )し、 $2 \times N$ 本の出力信号線とN個の信号混合回路を設けることにより、本発明の適用が可能となる。また $4 \times 4$ の小規模エリアセンサの例を示したが、第1実施例と同様に本実施例はセンサ規模にはよらない。また本実施例では信号混合回路を画素アレイ領域と同一基板内に設ける場合を想定して説明したが、これは画素アレイ領域基板外に設けても構わない。また各走査回路の走査方向は本実施例に示した限りでなく、自由に設定可能である。また本実施例ではCMD固体撮像装置に適用したものを示したが、CMD固体撮像装置と同様に画素アレイ領域と水平、垂直の走査回路により構成されるXYアドレス型のイメージセンサであれば、本実施例の原理は等しく適用可能である。また、それぞれの分割画素アレイ領域で異なるタイミングの4系統の駆動パルスが必要となるが、1系統の外部入力クロックから4系統の駆動パルスを発生させるためのクロック制御回路を、画素アレイ領域と同一基板上に設けることにより、外部駆動上の複雑さは容易に回避することができる。

【0026】次に第4の実施例を図7に基づいて説明する。この実施例は、図5に示した第3の実施例のように、出力信号線を複線化したCCD固体撮像装置に本発明を適用したものである。この実施例も、説明を簡単にするため水平画素数、垂直画素数とも4であるインターライン型エリアセンサを想定し、画素にはP 1からP 16までの番号を付して示している。この実施例のCCD固体撮像装置は、図4に示した第2実施例と同様に、画素アレイ領域、水平転送用CCD、垂直転送用CCDにより構成される。第2実施例と異なる点は、画素アレイ領域及び垂直転送用CCDを水平方向に更に2分割して、画素アレイ領域及び垂直転送用CCDを領域12A-1、12A-2、12B-1、12B-2に分割し、この4つの分割領域に対応して4つの水平転送用CCD14A-1、14A-2、14B-1、14B-2を設け、また4つの水平転送用CCDに対応して4つの電荷検出アンプ15A-1、15A-2、15B-1、15B-2と、4つの電荷検出アンプから出力信号線16A-1、16A-2、16B-1、16B-2を介して出力される信号出力A 1、A 2、B 1、B 2を、所望のタイミングで切り換えて信号出力C 1、C 2として出力するための2つの信号混合回路17-1、17-2を設けた点である。なお各転送用CCDの転送方向は図中の矢印により示している。

【0027】本実施例における動作タイミングは、第3実施例と同等であるので、図6を利用して具体的な動作を説明する。時刻 $t_1$ の以前の図示しない時刻 $t_0$ において各画素から垂直転送用CCD13A、13Bに全領域一斉に電荷の転送が行われた後、分割領域12A-1、12A-2において、垂直転送用CCD13Aから水平転送用CCD14A-1、14A-2に該分割領域の画素アレイの第1行のデータの電荷が転送され、分割領域12B-1、12B-2においても、垂直転送用CCD13Bから水平転送用CCD14B-1、14B-2に該分割領域の画素アレイの第1行のデータの電荷が転送される。時刻 $t_1$ において、分割領域12A-1、12A-2の第1行のデータの読み出しが開始される。出力信号線16A-1の信号出力A 1として画素P 1、P 2のデータが、出力信号線16A-2の信号出力A 2として画素P 3、P 4のデータが順次出力される。時刻 $t_2$ では、分割領域12A-1、12A-2において垂直転送用CCD13Aから水平転送用CCD14A-1、14A-2に第2行のデータの電荷が転送される。同時に分割領域12B-1、12B-2では第1行のデータの読み出しが開始され、出力信号線16B-1の信号出力B 1として画素P 5、P 6のデータが、出力信号線16B-2の信号出力B 2として画素P 7、P 8のデータが順次出力される。

【0028】時刻 $t_3$ では、分割領域12B-1、12B-2において垂直転送用CCD13Bから水平転送用CCD14B-1、14B-2に第2行のデータの電荷が転送される。同時に分割領域12A-1、12A-2において第2行のデータの読み出しが開始され、信号出力A 1として画素P 9、P 10のデータが、信号出力A 2として画素P 11、P 12のデータが順次出力される。時刻 $t_4$ では、再び全画素から垂直転送用CCD13A、13Bに全領域一斉に電荷の転送が行われた後、分割領域12A-1、12A-2において垂直転送用CCD13Aから水平転送用CCD14A-1、14A-2に第1行のデータの電荷が転送される。同時に分割領域12B-1、12B-2において第2行のデータの読み出しが開始され、信号出力B 1として画素P 13、P 14のデータが、信号出力B 2として画素P 15、P 16のデータが順次出力される。時刻 $t_5$ 以降は上記動作が繰り返し行われる。

【0029】信号混合回路17-1、17-2における信号出力A 1、B 1及びA 2、B 2の切り換えタイミングは第3実施例と全く同等である。このように本実施例の構成により、CCD固体撮像装置に対しても信号出力不可期間が存在しない複線出力方式が実現可能となる。

【0030】なお本実施例においても $4 \times 4$ の小規模エリアセンサの例を示したが、センサ規模に関係なく同様の構成とすることができる。また本実施例でもインターライン型のCCD固体撮像装置の例で説明したが、フレーム転送型やフレームインターライン型等に対しても全く同様に適用することができる。また本実施例も出力信号線が2本の場合を示したが、3本以上の場合についても全く同様に、すなわち画素アレイ領域及び垂直転送用



CCDを水平方向にN分割 ( $N \geq 3$ ) し、それに対応して  $2 \times N$  個の水平転送用CCDと  $2 \times N$  本の出力信号線とN個の信号混合回路を設けることにより、本発明の適用が可能となる。また本実施例では信号混合回路を画素アレイ領域と同一基板内に設ける場合を想定して説明したが、これは画素アレイ領域基板外に設けても構わない。

### 【0031】

【発明の効果】以上実施例に基づいて説明したように、本発明によれば、光電変換素子アレイと垂直走査手段とを垂直方向に2分割し、それぞれの領域に対して別々の水平走査手段と出力信号線を設けたので、常にいずれかの領域において有効信号が出力されるような駆動を行うことによって、信号出力不可期間のない出力信号を得ることができ、高いフレームレートが要求される用途に対しても時間利用効率の高い信号出力が可能な固体撮像装置を実現することができる。

### 【図面の簡単な説明】

【図1】本発明に係る固体撮像装置の第1実施例を示すブロック構成図である。

【図2】図1に示した実施例における駆動パルスのタイ

ミング図である。

【図3】図1に示した実施例における信号出力のタイミング図である。

【図4】第2実施例を示すブロック構成図である。

【図5】第3実施例を示すブロック構成図である。

【図6】図5に示した第3実施例における信号出力のタイミング図である。

【図7】第4実施例を示すブロック構成図である。

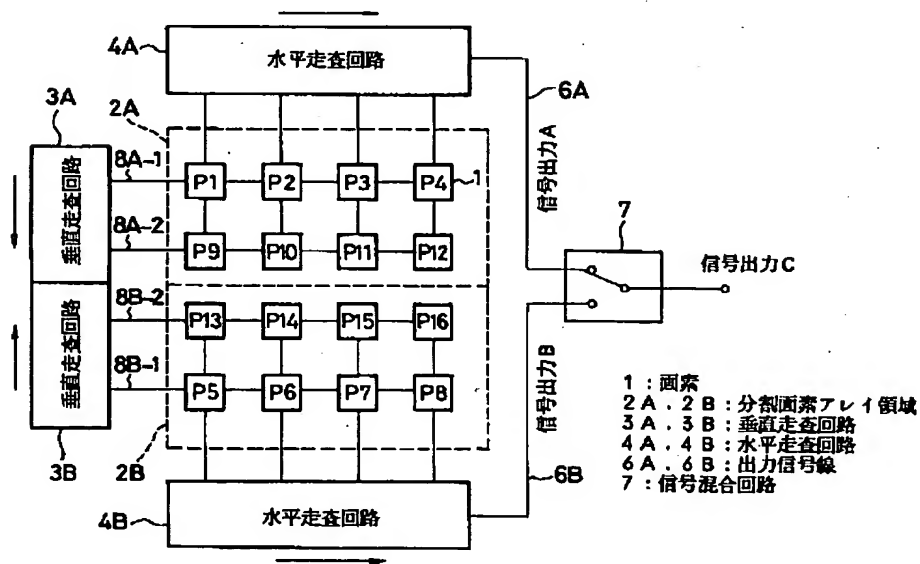
【図8】従来のCMD固体撮像装置の構成例を示すブロック構成図及び1画素部分の回路構成図である。

【図9】図8に示した従来例の駆動パルスのタイミング図である。

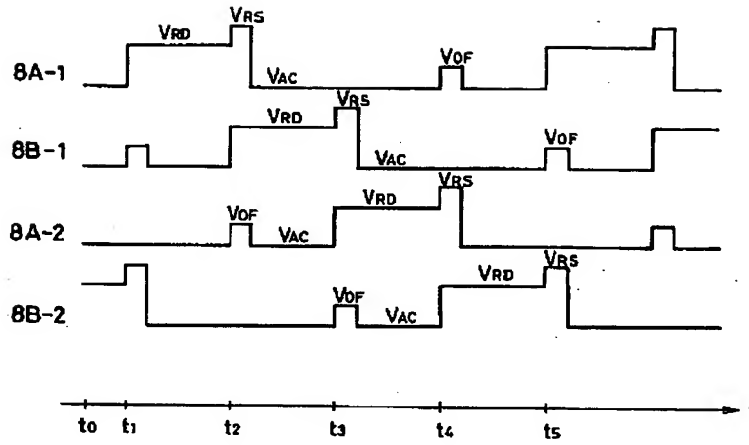
### 【符号の説明】

- 1 画素
- 2 A, 2 B 分割画素アレイ領域
- 3 A, 3 B 垂直走査回路
- 4 A, 4 B 水平走査回路
- 5-1~5-n 列ライン
- 6 A, 6 B 出力信号線
- 7 信号混合回路
- 8 A-1, 8 A-2, 8 B-1, 8 B-2 垂直選択線

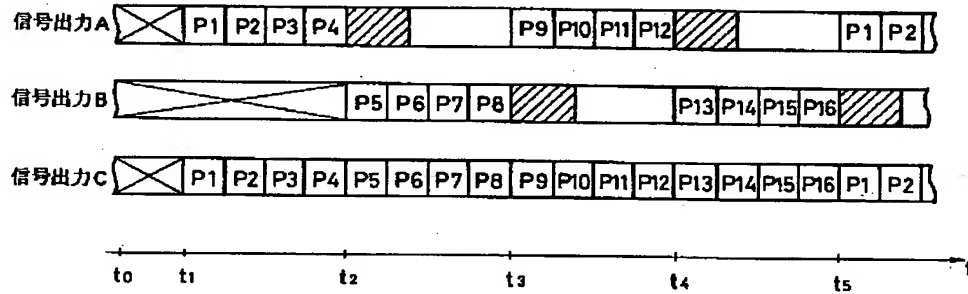
【図1】



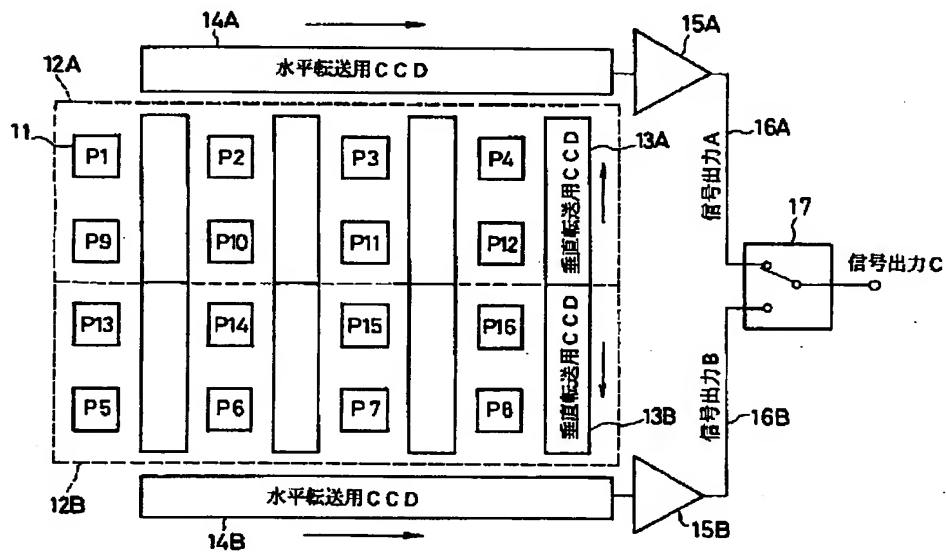
【図2】



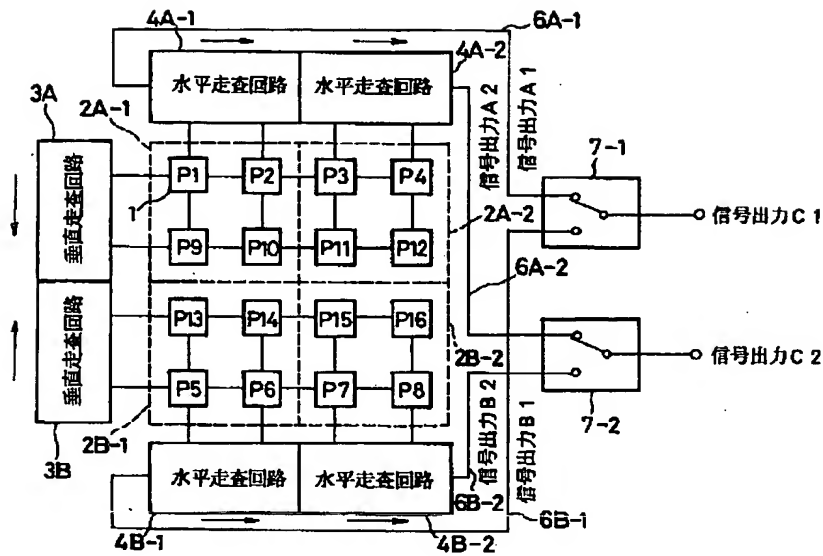
【図3】



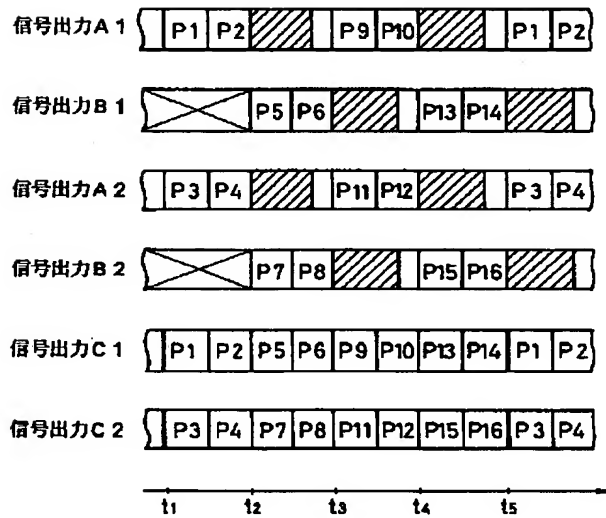
【図4】



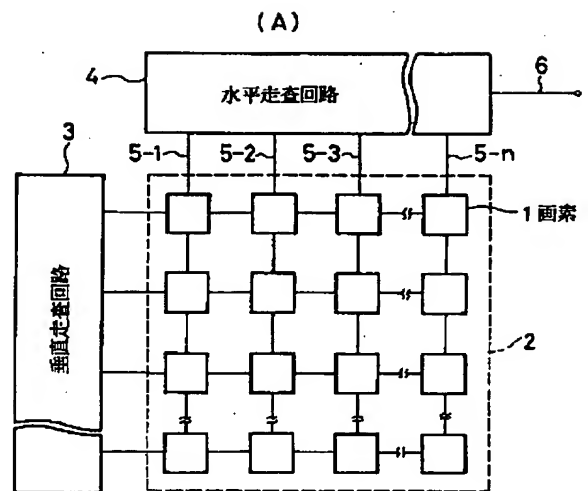
【図5】



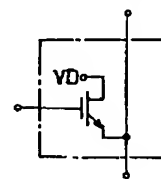
【図6】



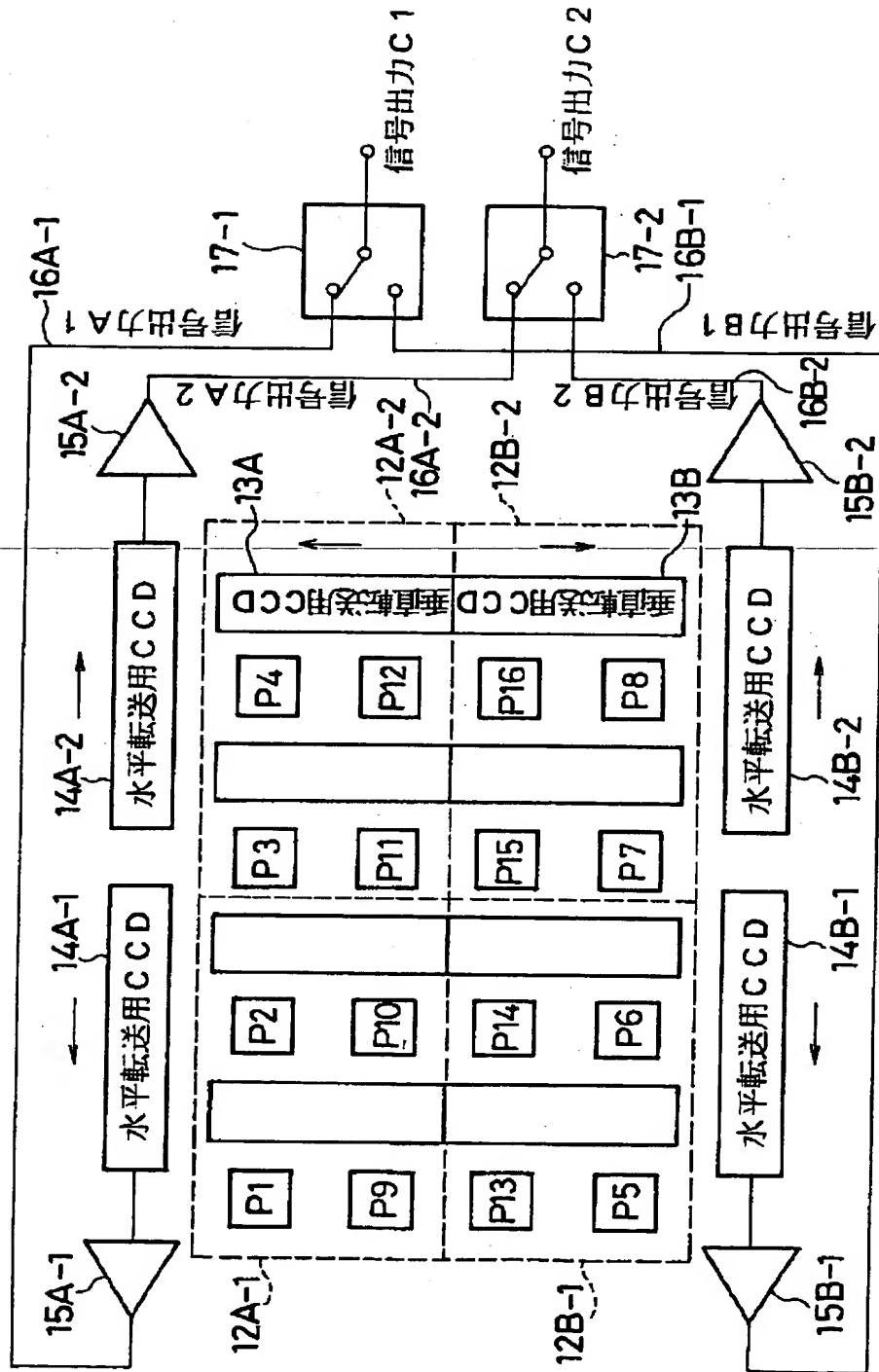
【図8】



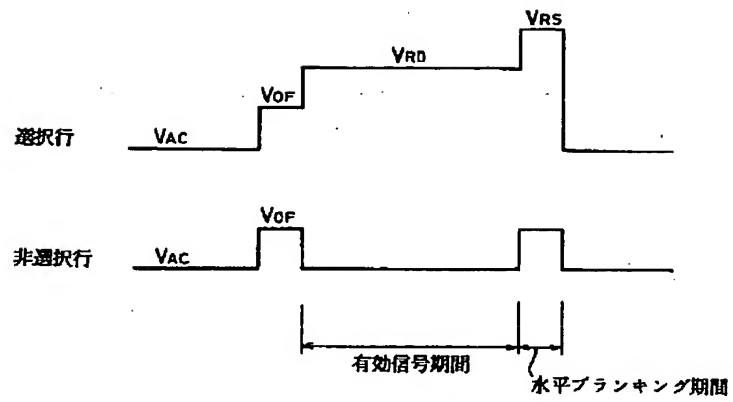
(B)



【図7】



【図9】



**THIS PAGE BLANK (USPTO)**

---